

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-274292

(43)公開日 平成8年(1996)10月18日

(51)Int.Cl.
H 01 L 27/146
31/10
H 04 N 1/028

識別記号 廣内整理番号

F I
H 01 L 27/14
H 04 N 1/028
H 01 L 31/10

技術表示箇所
C
Z
A

審査請求 有 請求項の数7 OL (全8頁)

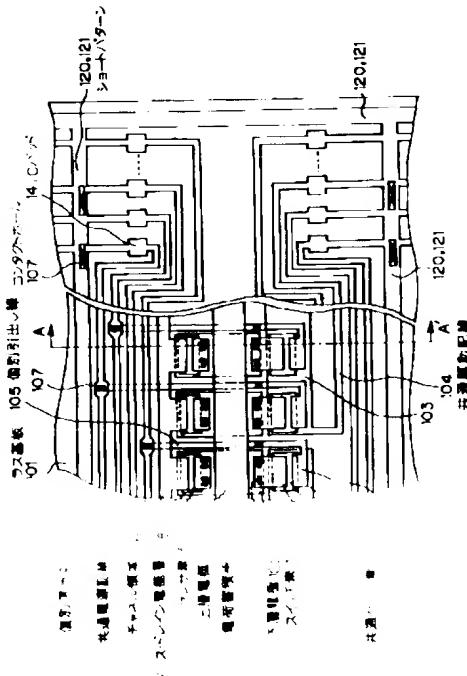
(21)出願番号 特願平8-4051
(22)出願日 平成8年(1996)1月12日
(31)優先権主張番号 特願平7-13126
(32)優先日 平7(1995)1月30日
(33)優先権主張国 日本 (JP)

(71)出願人 000004237
日本電気株式会社
東京都港区芝五丁目7番1号
(72)発明者 藤倉 克之
東京都港区芝五丁目7番1号 日本電気株
式会社内
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 密着イメージセンサの製造方法

(57)【要約】

【課題】 基板面積を有効利用しつつ、製造工程ではもちろん原稿読み取り時においても静電破壊を防止する。
【解決手段】 絶縁性基板上に設けられたセンサ素子11の共通駆動配線104及び個別信号配線111を、原稿走行領域外に引き出して形成する。共通駆動配線104及び個別信号配線111は、原稿走行領域外で、ICパッド14を経由してショートパターン120, 121と電気的に接続される。ICをICパッド14に接続後、絶縁性基板をショートパターン120, 121に沿って切断し、共通駆動配線104と個別信号配線111との電気的接続を絶つ。



1

2

【特許請求の範囲】

【請求項1】 絶縁性基板上に複数のセンサ素子を設け、前記各センサ素子の一方の電極を共通電極とし、他方の電極を個別電極とする密着イメージセンサの製造方法であって、前記各個別電極及び前記共通電極を原稿走行領域外に引き出し、前記原稿走行領域外で、前記密着イメージセンサを駆動するためのICを接続するパッドを経由して電気的に接続するショートパターンを形成する工程と、前記ICを前記パッドに接続した後、前記絶縁性基板を前記ショートパターンに沿って切断し、前記各個別電極と前記共通電極との電気的接続を絶つ工程とを有する、密着イメージセンサの製造方法。

【請求項2】 請求項1に記載の密着イメージセンサの製造方法において、前記密着イメージセンサは、前記各センサ素子にそれぞれスイッチ素子が電気的に接続された構成とし、前記各スイッチ素子のそれぞれのゲート電極を共通電極とし、かつ、ドレインあるいはソース電極のいずれか一方を個別電極とする、密着イメージセンサの製造方法。

【請求項3】 請求項2に記載の密着イメージセンサの製造方法において、前記センサ素子及びスイッチ素子は複数のブロックに分けられ、前記各個別電極をブロック単位でマトリクス配線接続するとともに、前記共通電極を前記ブロックごとに設ける、密着イメージセンサの製造方法。

【請求項4】 請求項1または3に記載の密着イメージセンサの製造方法において、前記絶縁性基板を複数回に分けて切断する、密着イメージセンサの製造方法。

【請求項5】 請求項4に記載の密着イメージセンサの製造方法において、前記絶縁性基板の切断工程は、前記ショートパターンの幅よりも太い幅の刃をもつスライシングマシーン用い、前記ショートパターンに沿って前記絶縁性基板に達する切込みを入れる工程と、前記刃よりも幅の細い刃をもつスライシングマシーン用い、前記切込みに沿って前記絶縁性基板を切断する工程とを有する、密着イメージセンサの製造方法。

【請求項6】 請求項4に記載の密着イメージセンサの製造方法において、前記絶縁性基板の切断工程は、前記ショートパターンの幅よりも細い幅の刃をもつスライシングマシーン用い、前記ショートパターンに沿った切断を前記ショートパターンの幅方向にずらして複数回に分けて行い、前記ショートパターンよりも幅の太い切込みを前記絶縁性基板に打つ工程と

サの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、画像原稿等を読み取る密着イメージセンサの製造方法に関し、特に、原稿走行時の摩擦静電気による静電破壊を防止する構造をもつ密着イメージセンサの製造方法に関する。

【0002】

【従来の技術】イメージセンサは、イメージキャナあるいはファクシミリ等において画像原稿を読み取って電気信号に変換するために用いられている。その方式を大別すると、レンズを使用した光学系により画像原稿を縮小してCCD上に結像して読み取る縮小光学系方式のイメージセンサと、原稿読み取り幅以上の絶縁性基板上に複数個のセンサ素子を有するセンサ部を薄膜プロセスにより形成し、縮小光学系を介さずにセンサ部を直接原稿に密着させて読み取る密着イメージセンサとがある。

【0003】これらのうち密着イメージセンサは、レンズを使用しないので、小型化、低コスト化を容易に達成する方式として注目される。また、密着イメージセンサは上記のように薄膜プロセスを用いて製造されるので、1枚の基板に複数個分のイメージセンサのパターンを形成し、その後、基板の切断によりこれらのパターンを分離することで、1枚の基板から複数の密着イメージセンサを得ることも可能である。

【0004】しかしながら、上記密着イメージセンサでは、ガラス等の絶縁性基板を用いるため帶電しやすいという性質がある。このため、製造工程中に絶縁性基板が帶電して、その基板上のセンサ素子が静電破壊を起こしてしまい、イメージセンサの製造歩留りを悪化させる原因となっていた。

【0005】この問題点を解決するために、特開平2-98966号公報には次のような製造方法が開示されている。これは、図6に示すように、まず、ガラス基板301上に、クロムからなる複数の個別電極302と、ショートパターン303とを形成する。個別電極302は、画素302aと引出し電極302bから構成され、各画素302aは、ガラス基板301の長手方向に2列に配列される。ショートパターン303は各画素302aの列の間に形成され、ガラス基板301の長手方向に延びる横パターン303aと、これと直交しそれぞれ各画素302aと接続する複数の縦パターン303bとから構成されている。

【0006】次に、全ての画素302aを覆うように、

【背景技術】

【他の製造方法】

【請求項7】 請求項1ないし6のいずれか1項に記載の密着イメージセンサの製造方法において、前記絶縁性基板の切断面にチャップコートを施す、密着イメージセン

50 【0007】次に、複数のIC306をガラス基板30

の表面301aに形成する。ここで、基板301aは、上にワイヤーメッシュ構造の互換性を持たせた構成である。

3

1上に実装し、IC306のパッドと引出し電極302bの端部とをボンディングワイヤ307で接続する。その後、横パターン303aの幅よりも太い幅の刃をもつスライシングマシンを用いてガラス基板301を横パターン303a上に沿って切断し、各個別電極302間の電気的接続を絶つ。これにより、IC306と個別電極302との接続が終了する前までは、個別電極302と共に電極304とは電気的に接続され個別電極302と共に電極304との間に電位差は生じないので、製造工程中におけるセンサ部の静電破壊を防止することができる。

【0008】

【発明が解決しようとする課題】密着イメージセンサでは、上述のようにセンサ部を原稿に密着させた状態で原稿に対して走査しながら画像を読み取る。その際、一般に原稿は紙でできており絶縁性であるために、基板と原稿との間に摩擦静電気が発生する。ところが前記従来例では、ガラス基板の横パターン切断後の切断面が、図7のようになり、各個別電極302から引き出されている縦パターン303bが原稿走行領域内に露出した状態となる。このため、摩擦静電気が縦パターン303bの露出部に放電し易くなり、これによってセンサ部が静電破壊を起こすという問題があった。

【0009】その対策として、縦パターン303bの露出部を原稿走行領域の外側に配置するという方法が考えられるが、前記従来例の構造では縦パターン303bが全ての個別電極302から引き出されているので、これら全ての縦パターン303bを原稿走行領域の外側に配置するためには、極めて広い配線引き回し領域を新たに確保する必要がある。このことは、信号配線としてではなく単に個別電極をショートさせるためだけに新たな配線を付設することになり、センサ基板の大型化によるコスト上昇を招くだけでなく、基板面積の有効利用という面から見ても不経済である。

【0010】そこで本発明は、基板面積を有効利用しつゝ、製造工程ではもちろん原稿読み取り時においても静電破壊を防止する密着イメージセンサの製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】上記目的を達成するため本発明のイメージセンサの製造方法は、絶縁性基板上に複数のセンサ素子を設け、前記各センサ素子の一方の電極を共通電極とし、他方の電極を個別電極とする密着イメージセンサの製造方法であって、前記各個別電極及び

4

気的接続を絶つ工程とを有する。

【0012】また、前記各センサ素子ごとにスイッチ素子を電気的に接続し、前記各スイッチ素子のそれぞれのゲート電極を共通電極とし、かつ、ドレインあるいはソース電極のいずれか一方を個別電極としたり、さらに、前記センサ素子は複数のブロックに分けられ、前記各個別電極をブロック単位でマトリクス配線接続するとともに、前記共通電極を前記ブロックごとに設けてよい。さらに、前記絶縁性基板は複数回に分けて切断してもよ

10 い。

【0013】上記のとおり構成された本発明では、絶縁性基板をショートパターンに沿って切断するまでは、共通電極及び個別電極はショートパターンを介して電気的に接続されているので、製造工程中のセンサ素子の静電破壊が防止される。また、絶縁性基板の切断後は、共通電極及び個別電極の切断面は原稿走行領域外に位置しているので、原稿読み取り中に生じる静電気によるセンサ素子の静電破壊も防止される。さらに、共通電極及び個別電極は、単にショートさせるためだけに引き回されているのではなく、ICとの接続のためも兼ねているので、基板面積が有効に活用されることになる。

【0014】

【発明の実施の形態】次に、本発明の一実施例について図面を参照して説明する。

【0015】図1は、1枚の基板から複数本の密着イメージセンサを得るための多数個取りの基板の一部分を示した平面図であり、基板には、これと同じパターンが片面の上下方向に複数形成されている。

【0016】図1において、ガラス基板101には、複数のセンサ素子11が左右方向に並んで形成されている。各センサ素子11は、それぞれゲート電極となる下層電極102と、下層電極102上に形成されたチャネル領域106と、チャネル領域106上に形成されて下層電極102と電気的に接続されるドレイン電極層108と、チャネル領域106上にドレイン電極層108とは離れて形成された共通電源配線109とを有する。そして、各センサ素子11ごとに、電荷蓄積手段12と、スイッチ素子13とが設けられている。

【0017】そして、これら各スイッチ素子13の駆動用及び読み取り信号処理用のIC(不図示)は、原稿を読み取る際に原稿が通過する原稿走行領域の外側に実装される。そのため、個別引出し線105は個別電極となる個別信号配線111を介して原稿走行領域外に引き出されるとともに、共通電極となる共通ゲート電極10

40 14と、各センサ素子11のゲート電極102とを結ぶ共通ゲート電極101とを結ぶ。

【0018】図2は、図1の原稿走行領域外に実装されたICと、各センサ素子11との接続構造を示す断面図である。図2に示すように、各センサ素子11は、各々のゲート電極102と、各々のドレイン電極層108と、各々のチャネル領域106と、各々の電荷蓄積手段12と、各々のスイッチ素子13とが形成されており、各々のゲート電極102と、各々のドレイン電極層108と、各々のチャネル領域106と、各々の電荷蓄積手段12と、各々のスイッチ素子13とが形成され、これらの上に、下層電極102と、チャネル領域106と、電荷蓄積手段12と、スイッチ素子13とが実装される。なお、ICは、駆動用と信号処理用とを50 別々にしたものでもよいし、駆動用と信号処理用とを

接続する構造であってもよい。

【0019】図3は、図1の原稿走行領域外に実装されたICと、各センサ素子11との接続構造を示す断面図である。

【0020】図3に示すように、各センサ素子11は、各々のゲート電極102と、各々のドレイン電極層108と、各々のチャネル領域106と、各々の電荷蓄積手段12と、各々のスイッチ素子13とが形成され、各々のゲート電極102と、各々のドレイン電極層108と、各々のチャネル領域106と、各々の電荷蓄積手段12と、各々のスイッチ素子13とが形成され、これらの上に、下層電極102と、チャネル領域106と、電荷蓄積手段12と、スイッチ素子13とが実装される。なお、ICは、駆動用と信号処理用とを

つのICに集積化したものであってもよい。

【0018】ここで、センサ素子11の配線について図2を参照して説明する。なお、図1では個別配線及び共通配線はスイッチ素子13に接続されているが、図2では、説明の便宜上、図1に示したセンサ素子11、電荷蓄積手段12及びスイッチ素子13の組をセンサ素子11aとして表している。

【0019】図2において、センサ素子11aは、共通ゲート電極103で5つずつまとめられて4つのブロックに分けられ、それぞれ個別引出し線105と個別信号配線111とでマトリクス配線接続されている。また、共通駆動配線104は、共通ゲート電極103ごとに設けられている。そして、センサ素子11aの駆動は、これら各ブロックごとに、順次走査して行われる。

【0020】このようにセンサ素子11aをマトリクス配線接続することで、センサ素子11aからの出力信号線の本数を大幅に減少することができる。例えば、20個のセンサ素子11aを設けた場合、通常の配線では20本の出力信号線が必要となるが、図2に示した例においては、5本の個別信号配線111ですむ。その結果、配線の敷設面積が大幅に減少し、ガラス基板101の面積を有効利用することができる。これは、センサ素子の数が多いイメージセンサにおいて特に有効である。なお、出力信号線の本数の多さがあまり問題にならないような場合には、必ずしもセンサ素子を複数のブロックに分けてマトリクス配線接続とする必要はない。

【0021】上述したように、本実施例ではセンサ素子11、電荷蓄積手段12及びスイッチ素子13を用いた場合について説明しているが、密着イメージセンサの構成はこれに限定されるものではない。例えば、電荷蓄積手段が設けられていない構成としてもよいし、また、センサ素子としてフォトダイオードを用いてもよい。

【0022】次に、本実施例の密着イメージセンサの製造工程について、図1、図3及び図4を参照しつつ説明する。以下の説明において、工程(a)～(d)は、それぞれ図4の(a)～(d)に対応する。

【0023】工程(a)
ガラス基板101上にクロム等の金属薄膜により、第一電極層15として、個々のセンサ素子11のゲート電極と電荷蓄積手段12の電極を兼ねる下層電極102、スイッチ素子13の共通ゲート電極103、共通ゲート電極103から引き出した共通駆動配線104、個々のスイッチ素子から読み取り信号を取り出すための個別引出線105及び共通駆動配線104間を電気的に短

き回し、IC実装用のパッド14のある側の原稿走行領域外まで延ばした後にICパッド14を通じてショートパターン120に接続される。

【0025】工程(b)

プラズマCVD等の方法により、酸化シリコン、あるいは窒化シリコン、またはそれらの組合せからなるゲート絶縁層16を全面に堆積し、さらに半導体層17、及びリン等の不純物を混合したガスによる不純物半導体層18をそれぞれ全面に堆積し(S202)、この半導体層17をバーニングすることによりチャネル領域106となる部分を形成する(S203)。

【0026】工程(c)

先に全面に堆積したゲート絶縁層16にコンタクトホール107を開孔する(S204)。

【0027】工程(d)

クロムあるいはアルミニウム等の金属薄膜により第二電極層19として、ソース・ドレイン電極層108、共通電源配線109、電荷蓄積手段12の上層電極110、個別信号配線111、及び個別信号配線111間に電気的に短絡するショートパターン121を形成する(S205)。

この個別信号配線111もICパッド14のある側の原稿走行領域外まで延ばした後にICパッド14を通じてショートパターン120に接続される。なお、ショートパターン121は先に形成したショートパターン120の上部に沿って重ねて形成する。これにより、第一電極層15と第二電極層19とがコンタクトホール107を通して電気的に接続される。このコンタクトホール107はショートパターン120上でなくともよく、パッド14上でコンタクトホールを開孔してもよい。

【0028】そして、ソース・ドレイン電極層108をマスクにして、不純物半導体層18をエッティングして取り去る(S206)。これにより、センサ素子11のソース・ドレイン電極層108と共通電源配線109との間の領域及びスイッチ素子13のソース・ドレイン電極層108との間の領域に、それぞれチャネル領域106を形成する。さらに、窒化シリコン、あるいは樹脂等からなる表面保護層20を全面に堆積する(S207)。その後、ICパッド14部分の表面保護層20をエッティングすることにより、ICパッド14の金属面を露出させる。

【0029】工程(e)

スイッチ素子13の駆動用、及び読み取り信号処理のICを、ガラス基板101上の原稿走行領域外において実

行する。
実施例において、第一電極層15は、内蔵個
体のため、共通ゲート電極103を設けられてお
らず、共通駆動配線104はガラス基板101の走
査方向、すなわちセンサ素子11の配列方向に沿って引
き回し、IC実装用のパッド14のある側の原稿走行領域外まで延ばした後にICパッド14を通じてショートパターン120に接続される。

【0030】工程(f)

ショートパターン120、121の幅よりも太い幅の刃をもつスライシングマシーンを用いてガラス基板101をショートパターン120、121上に沿って切断する(S212)。これにより、各共通駆動配線104間及び各個別信号配線111間の電気的接続が絶たれるとともに、複数本の密着イメージセンサが完成する。

【0031】ショートパターン120、121が切断されるまでは、上述したように、第一電極層15と第二電極層19とは電気的に接続されていることから、共通ゲート電極103と個別信号配線111も電気的に接続されていることになる。従って、ショートパターン120、121を切断するまでは共通ゲート電極103と個別信号配線111との間に電位差が生じることはなく、製造工程中のセンサ素子11の静電破壊が防止される。

【0032】図7は、図1のショートパターン120、121に沿ってガラス基板101を切断した後の切断面であり、この図から分かるように、共通駆動配線104の切断面は原稿走行領域外に位置している。従って、原稿走行時に原稿とガラス基板101との間に生ずる摩擦静電気によるセンサ素子11の静電破壊を防止できる。なお、ICの実装部の保護のためのチップコートは、上記の領域の他に、原稿走行領域外におけるガラス基板101の端面、及びショートパターン120、121の設断面に施してもよい。これにより、ショートパターン120、121の切断面が完全にコーティングされるため、摩擦電気による静電破壊の防止効果がさらに向上する。

【0033】上述した実施例では、ガラス基板101を1回の工程で切断した例を示したが、ガラス基板101を1回で切断すると、場合によっては、ガラス基板101が割れてしまうおそれがある。そこで、ガラス基板101を1回で切断せず、複数回に分けて切断してもよい。

【0034】例えば、最初に、ショートパターン120、121の幅よりも太い幅の刃をもつスライシングマシーンを用い、ショートパターン120、121に沿って、ガラス基板101に達する切込みを入れる。この時点でショートパターン120、121は切断される。次いで、最初の工程で用いた刃よりも細い幅の刃をもつスライシングマシーンで、最初の工程で入れた切込みに沿ってガラス基板101を切断する。また、ショートパターン120、121の幅よりも細い幅の刃をもつスライシングマシーンを用い、最初の工程をさらに複数回に分けてしまい、すなわち、ショートパターン120、121

数回に分けて行うことで、ガラス基板101に加わる応力を小さくできる。その結果、ガラス基板101の切断時にガラス基板101が割れにくくなり、製造歩留りがより向上する。特にショートパターン120、121の幅よりも細い幅の刃をもつスライシングマシーンを用いて切込みを入れる場合には、同じスライシングマシーンを用いて切込みを入れる工程及び切断工程を行ふことができる。

【0036】また、上述した実施例では第一電極層15と共に電極を形成し、第二電極層19に個別電極を形成した例を示したが、その逆であってもよい。その場合、ゲート絶縁層16、半導体層17及び不純物半導体層18の積層順序及びバーニングについては必要に応じて変えられる。

【0037】

【発明の効果】以上説明したように本発明によれば、共通電極と個別電極とを、原稿走行領域外引き回しショートパターンに接続したことにより、製造工程中における静電破壊を防止することができるとともに、原稿読み取り時に走行する原稿と絶縁性基板との間に発生する摩擦静電気による静電破壊も防止することができ、密着イメージセンサの信頼性が向上するという効果を有する。

【0038】しかも、共通電極及び個別電極のショートパターンとの接続のための引き回しは、ICとの接続のための引き回しを兼ねているので基板面積の有効利用という面から見ても、密着イメージセンサの小型化、低コスト化を図ることができる。特に、センサ素子を複数のブロックに分け、そのブロック単位で個別電極をマトリクス配線することで、個別電極の数を減らすことができ、基板面積をより有効に活用することができる。

【0039】また、絶縁性基板の切断を複数回に分けて行うことで、切断時の絶縁性基板の割れを防止することができる。

【付面の簡単な説明】

【付1】本発明の製造方法を適用した密着イメージセンサの基板の一部分の平面図である。

【付2】センサ素子のマトリクス配線接続を模式的に示した図である。

【図3】図1に示した密着イメージセンサの製造工程の一例のフローチャートである。

【図4】図1に示した密着イメージセンサの、ICの実装までの製造工程を順に示したA-A'線断面図である。

【図5】図1のショートパターンに沿ってガラス基板を

① 削り取る
② ショートパターンの太い幅の刃でガラス基板101に入れ込む後、再びスライシングマシーンによりガラス基板101を切断する。

【0035】このように、ガラス基板101の切断を複数回に分けて行うことで、ガラス基板101に加わる応力を小さくできる。その結果、ガラス基板101の切断時にガラス基板101が割れにくくなり、製造歩留りがより向上する。特にショートパターン120、121の幅よりも細い幅の刃をもつスライシングマシーンを用いて切込みを入れる場合には、同じスライシングマシーンを用いて切込みを入れる工程及び切断工程を行ふことができる。

【符号の説明】

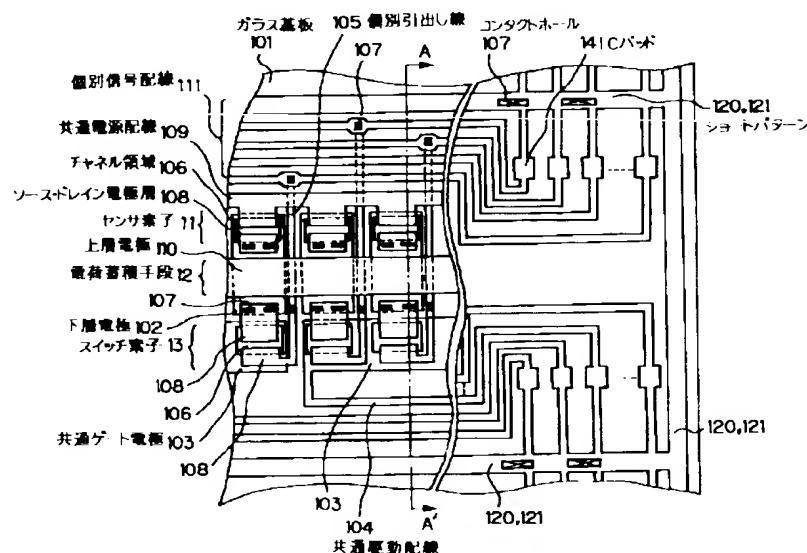
9

1 1 センサ素子
 1 2 電荷蓄積手段
 1 3 スイッチ素子
 1 4 ICパッド
 1 5 第1電極層
 1 9 第2電極層
 1 0 1 ガラス基板
 1 0 2 下層電極
 1 0 3 共通ゲート電極

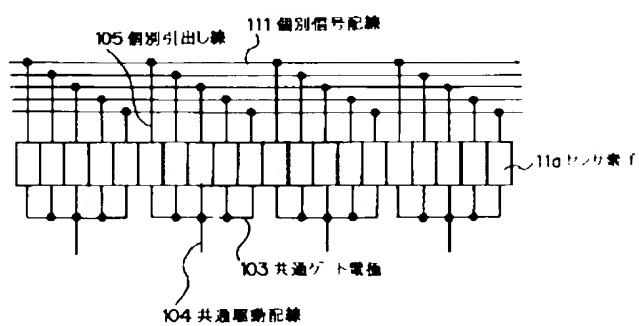
10

1 0 4 共通駆動配線
 1 0 5 個別引出し線
 1 0 6 チャネル領域
 1 0 7 コンタクトホール
 1 0 8 ソース・ドレイン電極層
 1 0 9 共通電源配線
 1 1 0 上層電極
 1 1 1 個別信号配線
 1 2 0, 1 2 1 ショートパターン

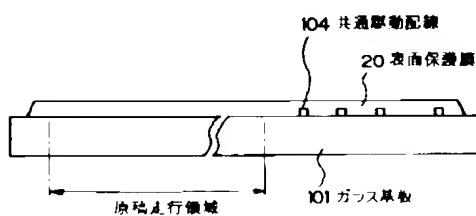
【図1】



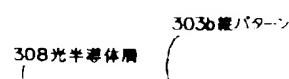
【図2】



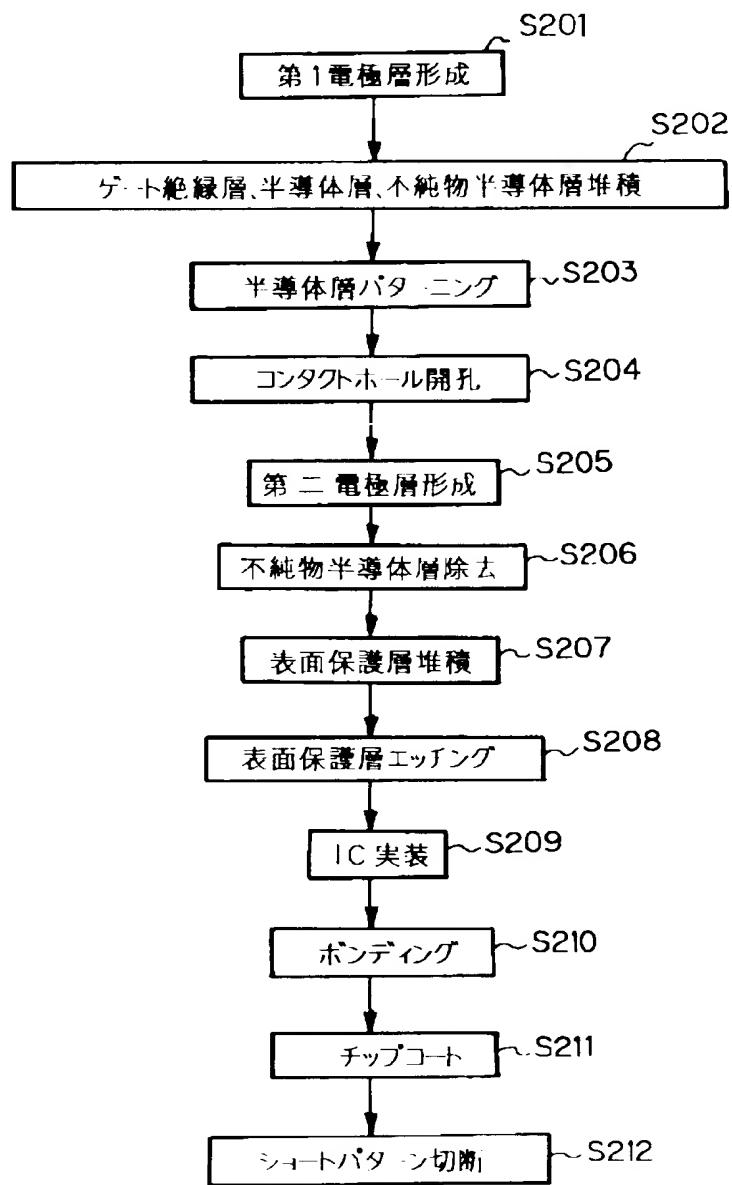
【図5】



【図7】

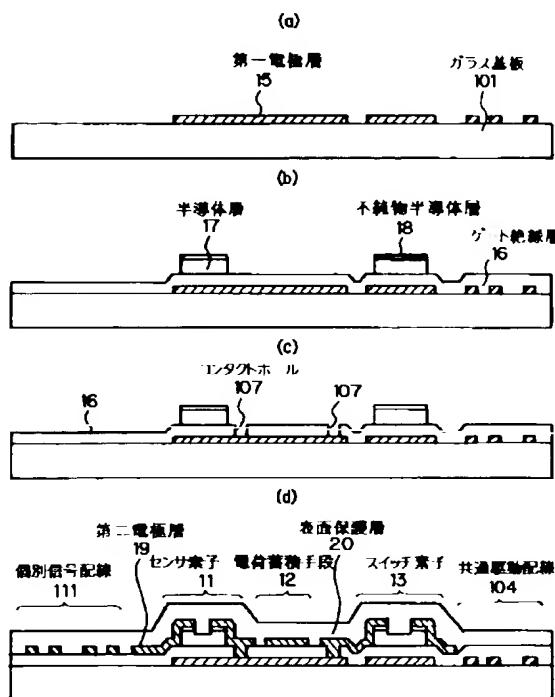
301
ガラス基板

【図3】



製造工程プロセスチャート

【図4】



【図6】

